

특 2002-0096995

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>7</sup>  
H01L 23/46(11) 공개번호 특2002-0096995  
(43) 공개일자 2002년12월31일

|             |   |
|-------------|---|
| (21) 출원번호   | 10-2002-0094087   |
| (22) 출원일자   | 2002년06월18일   |
| (30) 우선권 주장 | JP-P-2001-00165420 2001년06월19일 일본(JP)   |
| (71) 출원인    | 산요 덴키 가부시키가이샤   |
| (72) 발명자    | 일본 오사카후 모리구치시 게이한 온도오리 2호매 5번 5고<br>이카라시유스케<br>일본군마평이세시사기산고우조19-3<br>사카모토 노리마끼<br>일본군마평오라공 오이즈마이치고구1-27-5<br>니카무라 다케시<br>일본군마평오라공 오이즈마이치오리개도1303-3<br>장수길, 이종희, 구영철 |
| (74) 대리인    |   |

심사관: 안종(54) 회로 장치 및 그 제조 방법

요약

종래, 도전 패턴을 갖는 몰렉시블 시트를 지지 기판으로서 채용하여, 그 위에 반도체 소자를 실장하고, 전선을 형성한 반도체 장치가 개발되어 있다. 이 경우 다음 배선 구조를 형성할 수 없는 문제나 제조 공정에서의 절연 수지 시트의 휘어짐이 현저한 문제를 발생시킨다.

제1 도전막(3)과 제2 도전막(4)을 절연 수지(2)로 절단한 절연 수지 시트를 이용하여, 제1 도전막(3)으로 제1 도전 배선층(5)을 형성하고, 제2 도전막(4)으로 제2 도전 배선층(6)을 형성하여, 양자를 다음 접속 수단(12)으로 접속한다. 반도체 소자(7)는 제1 도전 배선층(5)을 피복하는 오버코트 수지(8) 상에 고착함으로써, 제1 도전 배선층(5)과 제2 도전 배선층(6)으로 다음 배선 구조를 실현한다. 또한, 두껍게 형성된 제2 도전막(4)이 있기 때문에, 열 팽창 계수의 차에 의해 발생하는 휘어짐을 방지할 수 있다.

도면

도 1

제1면

절연 수지, 다음 접속 수단, 반도체 소자, 도전막, 관통 구멍, 오버코트 수지, 전극 패턴

발명서

도면의 간단한 설명

- 도 1은 본 발명의 회로 장치를 설명하는 단면도.
- 도 2는 본 발명의 회로 장치를 설명하는 평면도.
- 도 3은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
- 도 4는 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
- 도 5는 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
- 도 6은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
- 도 7은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
- 도 8은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
- 도 9는 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.

- 도 10은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
- 도 11은 본 발명의 다른 회로 장치를 설명하는 단면도.
- 도 12는 종래의 반도체 장치의 제조 방법을 설명하는 도면.
- 도 13은 종래의 반도체 장치의 제조 방법을 설명하는 도면.
- 도 14는 종래의 반도체 장치의 제조 방법을 설명하는 도면.
- 도 15는 종래의 플렉시블 시트를 설명하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

- 1 : 절연 수지 시트
- 2 : 절연 수지
- 3 : 제1 도금막
- 4 : 제2 도금막
- 5 : 제1 도금 배선층
- 6 : 제2 도금 배선층
- 7 : 반도체 소자
- 8 : 오버코트 수지
- 9 : 전극 패드
- 10 : 본딩 패드
- 11 : 본딩 와이어
- 12 : 다층 접속 수단
- 13 : 밑판 수지층
- 14 : 외부 전극
- 15 : 오버코트 수지
- 21 : 관통 구멍
- 22 : 도금막
- 25 : 절연 접속 수지

## 본 발명의 상세한 설명

### 본 발명의 목적

본 발명에 속하는 기술분야 및 그 분야의 종래기술

본 발명은 회로 장치 및 그 제조 방법에 관한 것으로, 특히 2개의 도금막을 이용하여 박막으로 다층 배선층을 형성할 수 있는 회로 장치 및 그 제조 방법에 관한 것이다.

최근, IC 패키지는 휴대 기기나 소형·고밀도 실장 기기와의 채용에 증가되어, 종래의 IC 패키지와 그 실장 개념이 크게 변화하고 있다. 예를 들어 록2000-133678호 공보에 기술되어 있다. 이것은, 절연 수지 시트의 아래에서 플렉시블 시트인 폴리이미드 수지 시트를 채용한 반도체 장치에 관한 기술이다.

도 12~도 14는 종래의 플렉시블 시트(50)를 인터포저(Interposer) 기판으로서 채용한 것이다. 또한, 각 도면의 위에 도시한 도면은 평면도, 아래에 도시한 도면은 A-A선의 단면도이다.

우선, 도 12에 도시한 플렉시블 시트(50) 상에는, 접착재를 개재하여, 본딩 패드(51)가 접착되어 준비되어 있다. 이 본딩 패드(51)은, 실장되는 반도체 소자가 트랜지스터, IC에 따라 그 패턴이 다르지만, 일반적으로는 본딩 패드(51A), 아일랜드(51B)가 형성되어 있다. 또한, 참조 부호 52는 플렉시블 시트(50)의 이면으로부터 전극을 인출하기 위한 개구부이며, 상기 본딩 패드(51)에 노출되어 있다.

계속해서, 이 플렉시블 시트(50)는 다시 본딩로 반송되어, 도 13과 같이, 반도체 소자(53)가 실장되어 있다. 그 후, 이 플렉시블 시트(50)는 와이어 본딩로 반송되어, 본딩 패드(51A)와 반도체 소자(53)의 패드가 금속 세션(54)으로 전기적으로 접속된다.

다시말하면, 도 14의 (a)와 같이, 플렉시블 시트(50)의 표면에 밑판 수지(55)가 설치되어 밑판된다. 여기서, 본딩 패드(51A), 아일랜드(51B), 반도체 소자(53) 및 금속 세션(54)을 포함하도록 본딩수지층(55)이 형성된다.

그 후, 도 14의 (b)에 도시한 바와 같이, 밑판이나 밑판층 등의 접속 수단(55)이 설치되고, 밑판 리플로 유로(地)를 통과함으로써 개구부(52)를 통해 본딩 패드(51A)와 유출된 구멍의 밑판(55)이 형성된다. 개구부(52)가 플렉시블 시트(50)에는 반도체 소자(53)가 메트릭스 형상으로 형성되기 때문에, 도 14와 같이 다이 상되어, 개개로 분리된다.

또한 도 14의 (c)에 도시한 단면도는, 플렉시블 시트(50)의 양면에 전극으로서 층조 부호 510가 형성되어 있는 것이다. 이 플렉시블 시트(50)는, 일반적으로, 양면에 패터닝되어 패여커로부터 공급되고 있다.

#### 본 발에 이루고자 하는 기술적 과제

상술한 플렉시블 시트(50)를 이용한 반도체 장치의 주지의 금속 조립법을 이용하지 않기 때문에, 매우 소형화된 박막의 패치나 구조를 실현할 수 있는 이점을 갖지만, 실질적으로 플렉시블 시트(50)의 표면에 형성된 1층의 동박 패턴(51)만으로 배선을 할 수가 없기 때문에 다음 배선 구조를 실현할 수 없는 문제점이 있었다.

또한 다음 배선 구조를 실현하기 위해서는 지지 강도를 유지하기 위해, 플렉시블 시트(50)를 약 200 $\mu$ m 이하의 두께가 될 필요가 있어, 박막화에 역설하는 문제점도 갖고 있었다.

또한 제조 방법에서, 상술한 제조 장치, 예를 들면 도1에 본디, 외마에 본디, 트랜스퍼 롤드 장치, 리프트로울 등에서 플렉시블 시트(50)가 반송되어, 스테이지 또는 테이블로 불리는 부분에서 장착된다.

그러나, 플렉시블 시트(50)의 지지 기판이 되는 절연 수지의 두께가 50 $\mu$ m 정도로 얇고, 표면에 형성되는 동박 패턴(51)의 두께도 9~35 $\mu$ m로 얇은 경우, 도 15에 도시한 바와 같이 취어져 반송성이 매우 나쁘고, 또한 상술한 스테이지나 테이블에서의 장착성이 나쁜 문제가 있었다. 이것은, 절연 수지 자체가 매우 얇기 때문에 생기는 문제점, 동박 패턴(51)과 절연 수지의 일 형성 계층의 차에 의한 취어짐을 생각할 수 있다. 특히, 유리 코팅층(glass cloth) 성질을 코어로서 이용하고 있는 450 $\mu$ m 정도의 재료가 도 15에 도시한 바와 같이 취어져 있으면, 취로부터의 기상으로 간헐하게 굴절한다는 문제가 있었다.

또한 계구부(52)의 부분은, 롤드 시에 취로부터 기압되기 때문에, 본딩 패드(51A)의 주변을 취로 취어지기 하는 일이 약화하여, 본딩 패드(51A)의 접착성을 약화시키는 경우도 있었다.

또한 플렉시블 시트(50)를 구성하는 수지 재료 자체의 플렉시빌리티에 없거나, 잘 굴곡성을 높이기 위한 물리화 조립을, 막대한다. 또한 상술한 바와 같이 반송성이 나쁘고, 취어짐이 생기는 경우가 있다. 또한 트랜스퍼 롤드 시에도, 굴곡성이 감소하는 부분에서 굴곡이 생기는 경우가 있다. 이것은 도 15에 도시한 바와 같이 취어짐이 있으면 보다 현저하게 나타난다.

지금까지 설명한 플렉시블 시트(50)는 양면에 전극이 형성되지 않은 것이지만, 도 14의 (c)에 도시한 바와 같이, 플렉시블 시트(50)의 양면에도 전극(510)이 형성되는 경우도 있다. 이 때, 전극(510)이 상기 제조 장치와 접촉하거나, 상기 제조 장치 간의 반송 수단의 반송권과 접촉하기 때문에, 전극(510)의 양면에 손상이 발생하는 문제가 있었다. 이러한 손상이 생긴 상태에서 전극으로 형성되기 때문에, 취어짐이 가져오거나, 일률에서 전극(510) 자체에 굴곡이 생기는 문제점도 있었다.

또한 플렉시블 시트(50)의 양면에 전극(510)이 설치되면, 트랜스퍼 롤드 시, 스테이지에 면 접촉되지 않는 문제점이 발생한다. 이 경우, 상술한 바와 같이 플렉시블 시트(50)가 막대한 재료로 이루어지면, 전극(510)이 지점(支點)으로 되어, 전극(510)의 주위가 아래쪽으로 가압되기 때문에, 플렉시블 시트(50)에 굴곡을 유발시키는 문제점이 있었다.

#### 본 발의 구성 및 작용

본 발명을 실시한 과정을 감안하여 이루어진 것으로, 첫번째로 구조상으로는, 제1 도전막과, 제2 도전막과, 상기 제1 도전막과 상기 제2 도전막을 시트 형상으로 접착하는 절연 수지와, 상기 제1 도전막을 형성하여 형성한 제1 도전 배선층과, 상기 제2 도전막을 형성하여 형성한 제2 도전 배선층과, 상기 제1 도전 배선층과 전기적으로 절연되어 그쳐되는 반도체 소자와, 상기 제1 도전 배선층과 상기 제2 도전 배선층을 소량의 계층에서 상기 절연 수지를 단층하여 접속하는 다층 접속 수단과, 상기 제1 도전 배선층과 상기 반도체 소자를 접속하는 절연 수지와, 상기 제2 도전 배선층의 외하는 계층에 형성한 외부 전극을 포함하는 회로 장치에 의해 해결하는 것이다.

제1 도전막과 제2 도전막을 매우 얇은 절연 수지로 전기적으로 절연한과 함께 물리적으로는 일체화한 시트를 실현하여, 제1 도전막으로 제1 도전 배선층을 형성하고, 제2 도전막으로 제2 도전 배선층을 형성하여, 다층 접속 수단으로 제1 도전 배선층과 제2 도전 배선층을 접속하여 다층 배선 구조를 실현하고 있다.

또한 반도체 소자는 오버코트 수지로 제1 도전 배선층과 전기적으로 절연되어 그쳐되기 때문에, 반도체 소자 하부에 제1 도전 배선층을 자유롭게 배선할 수 있다.

두번째로 제조 방법상으로는, 제1 도전막과 제2 도전막을 절연 수지로 접착한 회로 기판을 준비하는 공정과, 상기 회로 기판의 소량의 계층에 상기 제1 도전막 및 상기 제2 도전막을 형성하여, 상기 제2 도전막을 선택적으로 노출시키는 공정과, 상기 절연 수지에 다층 접속 수단을 형성하여, 상기 제1 도전막과 상기 제2 도전막을 전기적으로 접속하는 공정과, 상기 제1 도전막을 절연 수지의 패하에 형성하여 제1 도전 배선층을 형성하는 공정과, 상기 제1 도전 배선층 상에 전기적으로 절연하여 반도체 소자를 그쳐하는 공정과, 상기 제1 도전 배선층 및 상기 반도체 소자를 절연 수지로 피복하는 공정과, 상기 제2 도전 배선층의 소량의 계층에 외부 전극을 형성하는 공정을 포함함으로써 상기한 과정을 행한다.

제1 도전막 및 제2 도전막으로 두껍게 형성되기 때문에, 절연 수지가 많아도 시트 형상의 회로 기판의 평탄성을 유지할 수 있다.

또한, 제1 도전 배선층 및 반도체 소자를 절연 수지층으로 피복하는 공정까지는, 제2 도전막으로 기계적 강도를 갖게 하고, 그 후에는 절연 수지층으로 기계적 강도를 갖게 하기 때문에 제2 도전막으로 제2 도전 배선층을 형성하여 형성한다. 이 경우, 다층과 절연 수지는 기계적 강도가 불필요하므로, 전기적 절연을 유지할 수 있는 두께까지 얇게 할 수 있다.

또한, 트랜스퍼 플랫 장치의 하부 글래스 면에서 제2 도전막 전체와 접촉시킬 수 있기 때문에, 국부적인 가압이 없어도 접착 수지의 균열 발생을 억제할 수 있다.

또한, 제1 도전막의 권틀 구성에 다음 접속 수단을 형성한 후에, 제1 도전 배선층을 형성하기 때문에, 마스크 없이 다음 접속 수단을 형성할 수 있다.

<최로 장치를 설명하는 제1 실시예>

본 발명에 따른 최로 장치는, 도 1에 도시한 바와 같이, 제1 도전막(3)과, 제2 도전막(4)과, 상기 제1 도전막(3)과 상기 제2 도전막(4)을 시트 형상으로 접착하는 접착 수지(2)와, 상기 제1 도전막(3)을 매칭하여 형성한 제1 도전 배선층(5)과, 상기 제2 도전막(4)을 매칭하여 형성한 제2 도전 배선층(6)과, 상기 제1 도전 배선층(5) 상에 전기적으로 연결되어 고착되는 반도체 소자(7)와, 상기 제1 도전 배선층(5)과 상기 제2 도전 배선층(6)을 소량의 개소에서 상기 접착 수지(2)를 관통하여 접속하는 다음 접속 수단(12)과, 상기 제1 도전 배선층(5) 및 상기 반도체 소자(7)를 피복하는 절연 수지층(13)과, 상기 제2 도전 배선층(6)의 소량의 개소에 형성한 외부 전극(14)으로 구성된다.

우선 절연 수지 시트(1)에 대하여 설명한다. 도 3은 전제가 붙은 수지 시트(1)로, 중간에는 절연 수지(2)가 형성되어 있다. 이 절연 수지(2)의 표면에는 제1 도전막(3)이 형성되고, 저면에는 제2 도전막(4)이 형성된다.

즉 절연 수지 시트(1)의 표면에는 실질적으로 전역에 제1 도전막(3)이 형성되고, 저면에도 실질적으로 전역에 제2 도전막(4)이 형성되는 것이다. 또한 절연 수지(2)의 재료는, 폴리이미드 수지 또는 에폭시 수지 등의 고분자계 아민이진 화합물 재료로 이루어진다. 또한, 제1 도전막(3) 및 제2 도전막(4)은, 나트륨-티타늄에 의해 절연 수지(2)에 피복되거나, 양면법이나 도금법에 의해 형성된 금속박에 접착되어도 된다.

또한 절연 수지 시트(1)는, 캐패시터용으로 형성되어도 된다. 이점에 대하여 그 제조 방법을 설명한다. 먼저 절연막을 형성한 제1 도전막 상에 폴리이미드 형성의 폴리이미드 수지를 도포하고, 또한 평탄화막을 형성한 제2 도전막 상에도 폴리이미드 형성의 폴리이미드 수지를 도포한다. 그리고 양자의 폴리이미드 막을 건조한 후에 접착하면 절연 수지 시트(1)가 완성된다. 따라서, 절연 수지 시트(1)에는 도금박의 두께나 크로스 셀룰라 불순물이 없다.

본 발명의 특징점은, 제2 도전막(4)을 제1 도전막(3)보다 두껍게 형성하는 점에 있다.

제1 도전막(3)은 두께가 5~35nm 정도로 형성되며, 가능한 한 얇게 하여 미세 패턴을 형성할 수 있도록 배려된다. 제2 도전막(4)은 두께가 70~200nm 정도이면 되고, 지지 강도를 갖게 하는 점이 중요하다.

따라서, 제2 도전막(4)을 두껍게 형성함으로써, 절연 수지 시트(1)의 평탄성을 유지할 수 있고, 이후의 공정의 작업성을 향상시켜, 절연 수지(2)와의 결합, 균열 등의 유해를 방지할 수 있다.

또한 평탄성을 유지하면서 밀봉 수지를 결합할 수 있기 때문에, 패키지의 미연도 평탄화가 잘 수 있고, 절연 수지 시트(1)의 저면에 형성되는 전극도 평탄하게 배치할 수 있다. 따라서, 실장 기판 상의 전극과 절연 수지 시트(1) 미연의 전극을 접속시킬 수 있어, 밀봉 불량을 방지할 수 있다.

절연 수지(2)는 폴리이미드 수지, 에폭시 수지 등이 바람직하다. 폴리이미드 형성의 것을 도포하여 시트로는 캐패시터용의 경우, 그 막 두께는 10nm~100nm 정도이다. 또한 시트로서 형성하는 경우, 시판 용인하는 25nm가 최소의 막 두께이다. 또한 얇은 점도성을 고려하여, 가열대에 롤러를 통과하여 된다. 재료로서는 탄소, 산화물, 산화물무리물, 질화물, Si 카바이드, 질화붕소 등을 생각할 수 있다.

이와 같이 절연 수지(2)는 상술한 롤러를 포함한 저열제한 수지 혹은 폴리이미드 수지 혹은 선택할 수 있고, 형성하는 최로 장치의 특성에 따라 구분하여 사용할 수 있다.

제1 도전 배선층(5)은 제1 도전막(3)을 매칭하여 형성한다. 제1 도전막(3)은 두께가 5~35nm 정도로 형성되며, 매칭에 의해 주변에 분할 패드(10)와 이 분할 패드(10)로부터 분할로 연결되는 제1 도전 배선층(5)이 형성된다. 배치되는 반도체 소자의 패드 수가 많아지면 많아질수록 미세 패턴화가 요구된다.

제2 도전 배선층(6)은 제2 도전막을 매칭하여 형성한다. 제2 도전막(4)의 막 두께는 70nm~200nm 정도로, 미세 패턴에는 적합하지 않지만, 외부 전극(14)의 형성이 추가되며, 필요에 따라 다음 배선층을 형성할 수 있다.

반도체 소자(7)는 제1 도전 배선층(5) 위를 피복하는 오버코트 수지(8) 상에 접촉재로 고착되며, 반도체 소자(7)와 제1 도전 배선층(5)을 전기적으로 연결되어 있다. 그 결과, 반도체 소자(7)의 아래에 미세 패턴의 제1 도전 배선층(5)을 자유롭게 배치할 수 있어, 배선의 자유도가 대폭 증가된다. 반도체 소자(7)의 각 전극 패드(9)는 주변에 형성된 제1 도전 배선층(5)의 일부분의 분할 패드(10)에 분할되어(11)로 접속되어 있다. 또한, 분할 패드(10)는 본딩을 할 수 있도록 금속 미세 도금에 의해 실장되어 있다.

다음 접속 수단(12)은 제1 도전 배선층(5)과 제2 도전 배선층(6)을 소량의 개소에서 절연 수지(2)를 관통하여 접속하고 있다. 다음 배선 수단(12)으로서 구획하는 도금막에 적합하다. 또한 금, 은, 팔라듐 등의 도금막이라도 무방하다.

절연 수지층(13)은 제1 도전 배선층(5) 및 반도체 소자(7)를 피복하고 있다. 이 절연 수지층(13)은 완성된 최로 장치의 기계적 지지의 기능도 겸용하고 있다.

외부 전극(14)은 제2 도전 배선층(6)의 소량의 개소에 형성된다. 즉, 제2 도전 배선층(6)의 대부분은 오버코트 수지(15)로 피복되며, 노출된 제2 도전 배선층(6) 상에 평탄으로 형성된 외부 전극(14)을 형성한다.

도 2를 참조하여, 구체적인 본 발명의 최로 장치를 설명한다. 우선, 실상으로 나타내는 패턴은 제1 도전 배선층(5)이고, 점선으로 나타내는 패턴은 제2 도전 배선층(6)이다. 제1 도전 배선층(5)은 반도체 소자

(7)를 플라씨도트 본딩 패드(10)가 주변에 형성되며, 일부에서는 2단으로 배치되어 다수의 패드를 갖는 반도체 소자(7)에 대응하고 있다. 연결 패드(10)는 반도체 소자(7)의 대응하는 각각 패드(9)와 본딩 와이어(11)로 접속되며, 본딩 패드(10)로부터 미세 패턴의 제1 도전 배선층(5)에 반도체 소자(7)의 아래에 다수 연결되어, ●로 나타내는 다층 접속 수단(12)으로 제2 도전 배선층(6)과 접속되어 있다.

이와한 같이하면, 200개 이상 패드를 갖는 반도체 소자라도, 제1 도전 배선층(5)의 미세 패턴에 대응하여 소량의 제2 도전 배선층(6)까지 다층 배선 구조로 할 수 있고, 제2 도전 배선층(6)에 형성된 외부 전극(14)으로부터 외부 회로와의 접속을 할할 수 있다.

<회로 장치의 제조 방법을 설명하는 제2 실시예>

본 발명의 회로 장치의 제조 방법에 대하여, 도 1~도 10를 참조하여 설명한다.

본 발명의 회로 장치의 제조 방법에는, 제1 도전막(3)과 제2 도전막(4)을 절연 수지(2)로 절착한 절연 수지 시트(1)를 준비하는 공정과, 상기 절연 수지 시트(1)의 소량의 계층에 상기 제1 도전막(3) 및 상기 절연 수지(2)에 관통 구멍(21)을 형성하여, 상기 제2 도전막(4)의 이면을 선택적으로 노출시키는 공정과, 상기 관통 구멍(21)에 다층 접속 수단(12)을 형성하여, 상기 제1 도전막(3)과 상기 제2 도전막(4)을 전기적으로 접속하는 공정과, 상기 제1 도전막(3)을 소량의 패턴으로 형성하여, 제1 도전 배선층(5)을 형성하는 공정과, 상기 제1 도전 배선층(5) 상에 전기적으로 연결하여 반도체 소자(7)를 고착하는 공정과, 상기 제1 도전 배선층(5) 및 상기 반도체 소자(7)를 덮을 수지층(13)으로 피복하는 공정과, 상기 제2 도전막(4)을 소량의 패턴으로 형성하여 제2 도전 배선층(6)을 형성하는 공정과, 상기 제2 도전 배선층(6)의 소량의 계층에 외부 전극(14)을 형성하는 공정으로 구성되어 있다.

본 발명의 제1 공정은, 도 3에 도시한 바와 같이, 제1 도전막(3)과 제2 도전막(4)을 절연 수지(2)로 절착한 절연 수지 시트(1)를 준비하는 것이다.

절연 수지 시트(1)의 표면은, 실질적으로 평면이 제1 도전막(3)에 형성되고, 어떤에도 실질적으로 평면이 제2 도전막(4)에 형성되는 것이다. 또한 절연 수지(2)의 재료는 폴리이미드 수지 또는 에폭시 수지 등의 고분자 재료에 이루어진 절연 재료로 이루어진다. 또한, 제1 도전막(3) 및 제2 도전막(4)은, 바람직하게는, 0.05μm 주조도로 하는 수 또는 공지의 리드 프레임의 재료로 형성되며, 도금박, 증착막 또는 스퍼터법에 의해 절연 수지(2)에 피복되거나, 압연박이나 도금박에 의해 형성된 금속박이 적층되어도 된다.

또한 절연 수지 시트(1)는 캐스팅법으로 형성되어도 된다. 방법에 간단히 그 제조 방법을 설명한다. 우선 평판한 절연 수지(2) 상에 제1 도전막(3) 상에 배이스트 형상의 폴리이미드 수지를 도포하고, 또한 평판한 와이어를 제2 도전막(4) 상에 캐스팅법으로 형성한 폴리이미드 수지를 도포한다. 그리고 양지의 폴리이미드 수지를 잘 혼합시킨 후에 접합하면 절연 수지 시트(1)가 완성된다.

본 발명이 특징으로 하는 점은, 제2 도전막(4)을 제1 도전막(3)보다 두껍게 형성하는 점에 있다.

제1 도전막(3)은 두께가 5~35μm 정도로 형성되고, 가능한 한 얇게 하여 미세 패턴을 형성할 수 있도록 형성된다. 제2 도전막(4)은 두께가 70~200μm 정도이면 되고, 지지 강도를 갖게 하는 점에 특징된다.

절연 수지(2)는 폴리이미드 수지, 에폭시 수지 등이 바람직하다. 캐시스트 형상의 것을 에폭시 수지 등의 캐스팅법의 경우, 그 막 두께는 10μm~100μm 정도이다. 또한 시트로서 형성하는 경우, 시판 용인 것은 25μm의 상한의 막 두께이다. 또한 열 전도성을 고려하여, 가운데에 팔러를 포함해도 된다. 재료로서는 유리, 산화물, 산화물무이브, 글래스, Si 카바이드, 폴라본스 등을 생각할 수 있다.

이와 같이 절연 수지(2)는 단순한 필름을 포함한 재결합 수지, 초저열저항 수지 혹은 폴리이미드 수지 등을 선택할 수 있고, 형성하는 회로 장치의 특징에 따라 구분하여 사용할 수 있다.

본 발명의 제2 공정은, 도 4에 도시한 바와 같이, 절연 수지 시트(1)의 소량의 계층에 제1 도전막(3) 및 절연 수지(2)에 관통 구멍(21)을 형성하여, 제2 도전막(4)을 선택적으로 노출시키는 것이다.

제1 도전막(3)의 관통 구멍(21)을 형성하는 부분만을 노출시키고 포토레지스트를 관통을 피복한다. 그리고 이 포토레지스트를 통해 제1 도전막(3)을 에칭한다. 제1 도전막(3)은 0.05μm 주조도로 하는 것이기 때문에, 에칭액은 알칼리 제2도 또는 알칼리 제2구리를 이용하여 화학적 에칭을 한다. 관통 구멍(21)의 개구 직경은 포토레지스트패치의 형성도에 따라 변화되지만, 여기서는 50~100μm 정도이다. 또한 이러한 에칭은, 제2 도전막(4)은 집적층의 시트 층으로 카바이드에 에칭액으로만 보충한다. 그러나 제2 도전막(4) 자체가 솔벤트 부패할, 에칭 후에 고광택을 유지할 수 있는 막 두께이면, 조금의 에칭되어도 상관없다. 또한, 제1 도전막(3)으로서의 Al, Fe, Fe-Ni, 공지의 리드 프레임용 등이라도 무방하다.

계속해서, 포토레지스트를 제거한 후, 제1 도전막(3)을 마스크로 하여, 레이저에 의해 관통 구멍(21) 바로 아래의 절연 수지(2)를 제거한다. 관통 구멍(21)의 바닥에 제2 도전막(4)의 이면을 노출시킨다. 레이저로는 탄소 가스 레이저가 바람직하다. 또한 레이저로 절연 수지를 증발시킨 후, 개구부의 저부에 간사가 있는 경우에는 과광간섭소나 또는 광간섭소용 등으로 웨트 에칭하여, 이 전사를 제거한다.

또한, 본 공정에서는 제1 도전막(3)에 10μm 정도로 얇은 경우, 포토레지스트를 관통 구멍(21) 이면을 피복한 후에 탄소 가스 레이저로 제1 도전막(3)의 절연 수지(2)를 제거하여 관통 구멍(21)을 형성할 수 있다. 이 공정은 사전에 제1 도전막(3)의 표면을 조탄화하는 처리(표면) 처리 공정이 필요하다.

본 발명의 제3 공정은, 도 5에 도시한 바와 같이, 관통 구멍(21)에 다층 접속 수단(12)을 형성하여, 제1 도전막(3)과 제2 도전막(4)을 전기적으로 접속하는 것이다.

관통 구멍(21)을 포팅하는 제1 도전막(3) 전면에 제2 도전막(4)과 제1 도전막(3)의 전기적 접속을 행하는 다층 접속 수단(12)을 도금박을 형성한다. 이 도금박은 무연에 도금과 전해 도금의 양방으로 형성되며, 여기서는, 무연 전해 도금에 의해 약 0.05μm 적어도 관통 구멍(21)을 포팅하는 제1 도전막(3) 전면에 형성한다. 이때 또한 제1 도전막(3)과 제2 도전막(4)이 전기적으로 도통하기 때문에, 자차 이 제1 및 제2 도전막(3, 4)을 전극으로 하여 전해 도금을 행하며, 약 20μm의 0.05μm 도금한다. 이때 여러 관통 구멍(21)은 서로 매립되며, 다층 접속 수단(12)이 형성된다. 또한, 상층영역에 메탈러지시터도금에 도금박을

개충한다. 관통 구멍(21)만을 선택적으로 폐쇄하는 것도 가능하다. 또한, 도금막은 여기서는 Cu를 채용하였지만, Au, Ag, Pd 등을 채용해도 된다. 또한 마스크를 사용하여 부분 도금을 할 수도 있다.

본 발명의 제4 공정은, 도 6 및 도 7에 도시한 바와 같이, 제1 도전막(3)을 소량의 패턴으로 형성하여 제1 도전 배선층(5)을 형성하는 것이다.

제1 도전막(3) 상에 소량의 패턴의 포토레지스트를 피복하고, 분할 패드(10) 및 분할 패드(10)로부터 중앙으로 연장되는 제1 도전 배선층(5)을 화각의 해상에 의해 형성한다. 제1 도전막(3)은 Cu를 주성분으로 하는 것이기 때문에, 에칭액은 염화 제2할 또는 염화 제2구리를 이용하면 된다.

제1 도전막(3)은 두께가 5~35nm 정도로 형성되어 있기 때문에, 제1 도전 배선층(5)은 50nm 이하의 미세 패턴으로 형성할 수 있다.

계속해서, 제1 도전 배선층(5)의 분할 패드(10)를 노출시키고 다른 부분을 오버코트 수지(8)로 피복한다. 오버코트 수지(8)는 용제로 녹인 에폭시 수지 등을 스핀 코팅한 인쇄로 부착하여, 열 경화시킨다.

또한, 도 7에 도시한 바와 같이, 분할 패드(10) 상에는 분할층을 고려하여 Au, Ag 등의 도금막(22)이 형성된다. 이 도금막(22)은 오버코트 수지(8)를 마스크로 하여 분할 패드(10) 상에 선택적으로 두꺼운 도금으로 부착되거나, 또는 제2 도전막(4)을 전극으로 하여 전계 도금으로 부착한다.

본 발명의 제5 공정은, 도 8에 도시한 바와 같이, 제1 도전 배선층(5) 상에 전기적으로 절연하여 반도체 소자(7)를 고착하는 것이다.

반도체 소자(7)는 배에 칩 그대로 오버코트 수지(8) 상에 접착성 접착 수지(25)를 다마이드된다. 반도체 소자(7)와 그 아래에 제1 도전 배선층(5)은 오버코트 수지(8)로 전기적으로 절연되고, 때문에, 제1 도전 배선층(5)은 반도체 소자(7) 아래에서도 자유롭게 배선할 수 있어, 다층 배선 구조를 실현할 수 있다.

또한, 반도체 소자(7)의 각 전극 패드(9)는 주변에 형성된 제1 도전 배선층(5)의 외부면 분할 패드(10)에 바로 닿아(11)로 접속된다. 반도체 소자(7)는 패시브 단층으로 형성되어도 된다. 이 경우, 반도체 소자(7)의 각 전극 패드(9) 표면에 텅스텐이나 몰리브덴이 형성되고, 절연 수지 시트(1)의 표면에는 텅스텐 필의 박막이 대량한 부분에 분할 패드(10)와 마찬가지로 전극이 형성된다(도 11 참조).

외에, 분할 시의 절연 수지 시트(1)를 이용하는 장점에 대하여 설명한다. 일반적으로 Au선의 외면에 본 된 시는 200°C~300°C로 가열된다. 이 때, 제2 도전막(4)이 있으면, 절연 수지 시트(1)가 휘어져, 그 상 태에서 분할 헤드들 통해 절연 수지 시트(1)가 가압되면, 절연 수지 시트(1)에 균열이 발생할 가능성이 있다. 이것은 절연 수지(2)에 필러가 혼입되면, 재료 자체가 팽창하여 유연성을 잃어버리기 때문에, 보다 천천히가 나타난다. 또한 수지는 금속과 비교하면 유연하기 때문에, Au나 Si의 문질에서 가압이나 초음파의 에너지가 발생된다. 그러나, 절연 수지(2)를 얇게 형성하고 또한 제2 도전막(4) 자체가 두껍게 형성함으로써 이들 문제를 해결할 수 있다.

본 발명의 제6 공정은, 도 9에 도시한 바와 같이, 제1 도전 배선층(5) 및 반도체 소자(7)를 일층 수지층(13)으로 피복하는 것이다.

절연 수지 시트(1)를 잘라 절치에 세트하여 수지 몰드를 향한다. 몰드 방법으로서의 트랜스퍼 몰드, 주 입 몰드, 도포, 압착 등도 가능하다. 그러나, 양산성을 고려하면, 트랜스퍼 몰드, 주입 몰드가 적합하다.

본 공정에서는, 몰드 캐비티의 하부 균열에 절연 수지 시트(1)를 밀착하게 접속시킬 필요가 있지만, 두꺼운 제2 도전막(4)이 이러한 기능을 향한다. 게다가 몰드 캐비티로부터 추출된 후에,도, 일층 수지층(13)의 수축이 완전하게 완료될 때까지, 제2 도전막(4)에 의해 캐비티의 팽창성을 유지한다.

즉, 본 공정까지의 절연 수지 시트(1)의 기계적 지지의 역할은 제2 도전막(4)이 담당한다.

본 발명의 제7 공정은, 도 10에 도시한 바와 같이, 제2 도전막(4)을 소량의 패턴으로 형성하여 제2 도전 배선층(6)을 형성하는 것이다.

제2 도전막(4)은, 소량의 패턴의 포토레지스트를 피복하고, 화각의 해상으로 제2 도전 배선층(6)을 형성한다. 제2 도전막(4)은 두꺼운 패턴에 의해 미세 패턴화에는 적합하지 않지만, 대부분에 외부 전극(14)을 형성할 특성이 주이므로 통제는 없다. 제2 도전 배선층(6)은 도 2에 도시한 바와 같이 일정한 간격으로 배열된다. 개개는 제1 도전 배선층(5)과 다층 접속 수지(12)를 통해 전기적으로 접속되어 다층 배선 구조를 형성하고 있다. 또한 필요하면 여러 부분에서 제1 도전 배선층(5)을 교차시키기 위한 제2 도전 배선층(6)을 형성해도 된다.

본 발명의 제8 공정은, 도 10에 도시한 바와 같이, 제2 도전 배선층(6)의 소량의 개소에 외부 전극(14)을 형성하는 것이다.

제2 도전 배선층(6)은 외부 전극(14)을 형성하는 부분을 노출시켜 용제로 녹인 에폭시 수지 등을 스핀 코팅한 인쇄하여 오버코트 수지(15)로 대부분을 피복한다. 다음으로 열납의 라플로우에 의해 이 노출 부분에 외부 전극(14)을 동시에 형성한다.

마지막으로, 절연 수지 시트(1)에는 회로 패턴이 다수 매트릭스 형성으로 형성되어 있기 때문에, 일층 수지층(13) 및 절연 수지 시트(1)를 다마이드하여 이들을 개개의 회로 장치로 분리한다.

도 11에 반도체 소자(7)가 패시브 다음으로 삽입된 구조를 도시한다. 도 11과 공통되는 구성 요소는 동일 부호를 붙이고 있다. 반도체 소자(7)에는 반도체 전극(31)이 형성되고, 이 반도체 전극(31)과 패드 전극(1)이 접속된다. 오버코트 수지(8)와 반도체 소자(7)의 각각은 언더몰 수지(32)로 충전된다. 이러한 구조에서는 분할 와이어를 얹을 수 있으므로, 일층 수지층(13)의 두께를 더욱 얇게 할 수 있다. 또한 외부 전극(14)은 제2 도전막(4)을 에칭하여 그 표면층 금속 층을 용해된 도금막(33)으로 피복한 반도체 전극으로도 달성할 수 있다.

**특정의 조항**

본 발명에 따르면, 구조상으로는 이하의 배열을 갖는다.

첫번째로, 제1 도전막을 얇게 형성할 수 있기 때문에, 제1 도전 배선층을 미세 패턴화할 수 있으며, 전극 패드 수가 100 미만의 반도체 소자의 내장에 가능해진다.

두번째로, 오버코트 수지로 반도체 소자와 제1 도전 배선층을 전기적으로 절연할 수 있기 때문에, 반도체 소자의 아래까지 배선이 가능해져 제1 도전 배선층의 배선의 자유도가 더욱 증가되어, 다음 배선 구조를 실현할 수 있다.

세번째로, 절연 수지 시트의 층위에 의해 종래의 유리 에폭시 기판이나 불활성물 시트 등의 인위적저 기판을 이용하는 경우에 비해, 기계적 강도를 제2 도전막 및 밀봉 수지층에 갖게 하기 때문에 매우 박형의 구조를 실현할 수 있다.

네번째로, 절연 수지로서 저열 수지 혹은 초저열 수지를 이용함으로써, 절연 수지를 얇게 할 수 있을 뿐만 아니라 그 열 저항도 더욱 저감할 수 있어, 반도체 소자의 발열을 바로 발열할 수 있다.

또한, 본 발명의 제조 방법에서는 이하의 이점을 갖는다.

첫번째로, 절연 수지 시트의 휘어짐을 제2 도전막으로 해소할 수 있어, 변형성 등을 향상시킬 수 있다.

두번째로, 절연 수지에 형성하는 간층 구멍을 탄산 가스 레이어로 형성하기 때문에, 그 후 즉시 다음 접속 수단의 도금을 할할 수 있어, 공정이 매우 간단해진다. 또한 다음 접속 수단으로서 구리 도금을 이용하면, 구리의 제1 도전막 및 제2 도전막과 동일 재료가 되므로, 그 후의 공정이 간단해진다.

세번째로, 다음 접속 수단을 도금막으로 실현할 수 있기 때문에, 제1 도전 배선층을 형성하기 전에 다음 접속 수단을 마스크 없이 형성할 수 있고, 제1 도전 배선층의 형성 시에 동시에 패터닝할 수 있기 때문에, 다음 접속 수단의 형성이 매우 용이하다.

네번째로, 밀봉 수지를 형성 시까지 절연 수지 시트의 기계적 지지층을 제2 도전막으로 형하고, 제2 도전 배선층을 형성한 후에는 절연 수지 시트의 기계적 지지를 밀봉 수지층으로 할하기 때문에, 절연 수지의 기계적인 강도가 문제되지 않아 매우 박형의 실장 방법을 실현할 수 있다.

다섯번째로, 절연 수지 자체가 딱딱한 것이라도, 또한 필러가 혼입되어 딱딱해진 것이라도, 앞면이 제1 및 제2 도전막으로 커버되어 있기 때문에, 제조 공정에서 절연 수지 자체의 변형성이 높아져, 공정의 발상을 방지할 수 있다.

여섯번째로, 절연 수지 시트는 이면에 제2 도전막이 두껍게 형성되기 때문에, 한의 다이 본딩, 와이어 본딩, 반도체 소자의 발열을 위한 지지 기판으로서 이용할 수 있다. 게다가, 절연 수지 재료 자체가 유연한 경우라도 와이어 본딩 시의 에너지의 전파를 향상시킬 수 있어 와이어 본딩성도 향상시킬 수 있다.

**(57) 청구의 범위**

**형구항 1**

제1 도전막과,

제2 도전막과,

상기 제1 도전막과 상기 제2 도전막을 시트 형상으로 접착하는 절연 수지와,

상기 제1 도전막을 에칭하여 형성한 제1 도전 배선층과,

상기 제2 도전막을 에칭하여 형성한 제2 도전 배선층과,

상기 제1 도전 배선층 상에 전기적으로 절연되어 고착되는 반도체 소자와,

상기 제1 도전 배선층과 상기 제2 도전 배선층을 소망의 개소에서 상기 절연 수지를 관통하여 접속하는 다음 접속 수단과,

상기 제1 도전 배선층 및 상기 반도체 소자를 피복하는 밀봉 수지층과,

상기 제2 도전 배선층의 소망의 개소에 형성한 외부 전극

를 포함하는 것을 특징으로 하는 회로 장치.

**형구항 2**

제1항에 있어서,

상기 제2 도전막은 제1 도전막보다 두껍게 형성하여 지지 강도를 갖게 하는 것을 특징으로 하는 회로 장치.

**형구항 3**

제1항에 있어서,

상기 절연 수지는 폴리이미드 수지 또는 에폭시 수지를 주성분으로 하는 것을 특징으로 하는 회로 장치.

**형구항 4**

제1함에 있어서,

상기 절연 수지는 상기 제2 도전막보다 얇은 것을 특징으로 하는 회로 장치.

#### 형구항 5

제1함에 있어서,

상기 반도체 소자는 상기 제1 도전 배선층 위를 피복하는 오버코트 수지 상에 고착되는 것을 특징으로 하는 회로 장치.

#### 형구항 6

제1함에 있어서,

상기 다층 금속 수단은 도전 금속의 도금막인 것을 특징으로 하는 회로 장치.

#### 형구항 7

제1함에 있어서,

상기 제2 도전 배선층의 대부분을 오버코트 수지로 피복하고, 해당 오버코트 수지로부터 노출된 소량의 개소에 말단으로 이루어지는 외부 전극을 형성한 것을 특징으로 하는 회로 장치.

#### 형구항 8

제1 도전막과 제2 도전막을 절연 수지로 집약한 절연 수지 시트를 준비하는 공정과,

상기 절연 수지 시트의 소량의 개소에 상기 제1 도전막 및 상기 절연 수지에 관통 구멍을 형성하여, 상기 제2 도전막의 이면을 선택적으로 노출시키는 공정과,

상기 관통 구멍에 다층 금속 수단을 형성하여, 상기 제1 도전막과 상기 제2 도전막을 전기적으로 접속하는 공정과,

상기 제1 도전막을 소량의 패턴으로 여형하여 제1 도전 배선층을 형성하는 공정과,

상기 제1 도전 배선층 상에 전기적으로 절연하여 반도체 소자를 고착하는 공정과,

상기 제1 도전 배선층 및 상기 반도체 소자를 일체 수지층으로 피복하는 공정과,

상기 제2 도전막을 소량의 패턴으로 여형하여 제2 도전 배선층을 형성하는 공정과,

상기 제2 도전 배선층의 소량의 개소에 외부 전극을 형성하는 공정

를 포함하는 것을 특징으로 하는 회로 장치의 제조 방법.

#### 형구항 9

제1함에 있어서,

상기 제1 도전막 및 상기 제2 도전막은 동박으로 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

#### 형구항 10

제1함에 있어서,

상기 제1 도전막은 상기 제2 도전막보다 얇게 형성되며, 상기 제1 도전 배선층 미세 패턴화하는 것을 특징으로 하는 회로 장치의 제조 방법.

#### 형구항 11

제1함에 있어서,

상기 제2 도전막은 상기 제1 도전막보다 두께가 형성되며, 상기 일체 수지층으로 피복하는 공정까지 상기 제2 도전막으로 기계적으로 지지하는 것을 특징으로 하는 회로 장치의 제조 방법.

#### 형구항 12

제1함에 있어서,

상기 일체 수지층으로 피복하는 공정 후에는 상기 일체 수지층으로 기계적으로 지지하는 것을 특징으로 하는 회로 장치의 제조 방법.

#### 형구항 13

제1함에 있어서,

상기 관통 구멍은 상기 제1 도전막을 여형한 후에, 상기 제1 도전막을 마스크로 하여 상기 절연 수지를 레이저 여형하는 것을 특징으로 하는 회로 장치의 제조 방법.

#### 형구항 14

제13함에 있어서,

상기 레이저 여형은 탄산 가스 레이저를 이용하는 것을 특징으로 하는 회로 장치의 제조 방법.



**청구항 15**

제16항에 있어서,

상기 다층 접속 수단은 도전 금속의 무전해 도금 및 전계 도금으로 상기 전류 구멍 및 상기 제1 도전막의 표면에 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

**청구항 16**

제16항에 있어서,

상기 제1 도전 배선층을 형성한 후, 소량의 계소를 남기고 오버코트 수지로 피복하는 것을 특징으로 하는 회로 장치의 제조 방법.

**청구항 17**

제16항에 있어서,

상기 제1 도전 배선층의 소량의 계소에 금 혹은 은의 도금층을 형성하는 것을 특징으로 하는 회로 장치의 제조 방법.

**청구항 18**

제16항에 있어서,

상기 오버코트 수지 상에 상기 반도체 소자를 고착하는 것을 특징으로 하는 회로 장치의 제조 방법.

**청구항 19**

제17항에 있어서,

상기 반도체 소자의 전극과 상기 금 혹은 은의 도금층을 분할 와이어로 접속하는 것을 특징으로 하는 회로 장치의 제조 방법.

**청구항 20**

제16항에 있어서,

상기 필름 수지층은 트랜스퍼 층으로 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

**청구항 21**

제19항에 있어서,

상기 제2 도전 배선층의 대부분을 오버코트 수지로 피복하는 것을 특징으로 하는 회로 장치의 제조 방법.

**청구항 22**

제19항에 있어서,

상기 외부 전극은 범납의 스크린 인쇄로 범납을 부착하고, 가열 용융하여 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

**청구항 23**

제20항에 있어서,

상기 외부 전극은 범납의 리플로우로 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

**청구항 24**

제20항에 있어서,

상기 외부 전극은 상기 제2 도전막을 소량의 패틴으로 어칭하고 그 표면에 금 혹은 팔라듐 도금하여 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

4. 18

FIG. 1

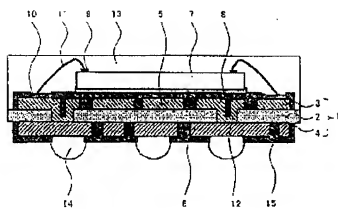
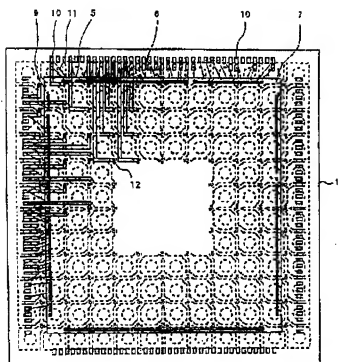


FIG. 2



도 16A



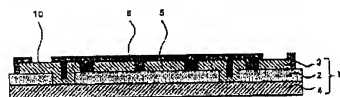
도 16B



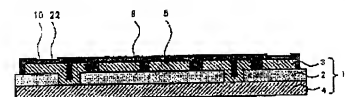
도 16C



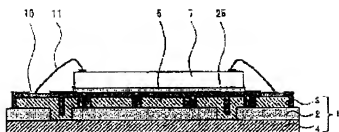
도 16D



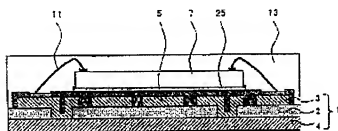
도 16E



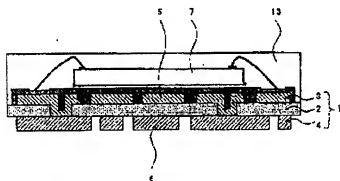
도 10a



도 10b

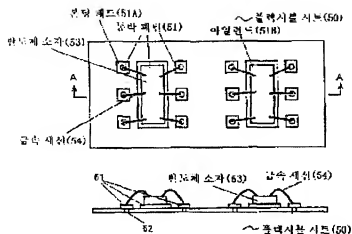


도 10c

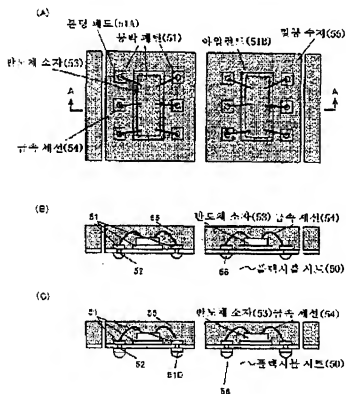




도 13



도 14



도면 15

